

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026073

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 21/60

H01L 25/04

H01L 25/18

(21)Application number : 2000-207496

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.07.2000

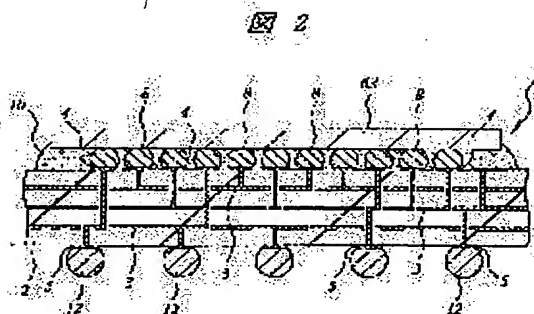
(72)Inventor : SUMI YOSHIYUKI  
KIKUCHI HIROSHI  
YOSHIDA IKUO  
SATO TOSHIHIKO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide mounting technology which is suitable to a chip which has many terminals as to a semiconductor device which has a chip mounted on a wiring board in the flip-chip way across bump electrodes.

**SOLUTION:** On the main surface of a silicon chip 6A, solder bumps 8 are arranged in matrix. The gap between the silicon chip 6A and a module substrate 2 is filled with anisotropic conductive resin 10 and the solder bumps 8 and electrode pads 4 of the module substrate 2 are electrically connected through metal particles in the anisotropic conductive resin 10.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-26073  
(P2002-26073A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
25/04		25/04	Z
25/18			

審査請求 未請求 請求項の数24 O L (全 15 頁)

(21) 出願番号 特願2000-207496 (P2000-207496)

(22) 出願日 平成12年7月7日 (2000.7.7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 ▲角▼ 義之

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 菊地 広

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

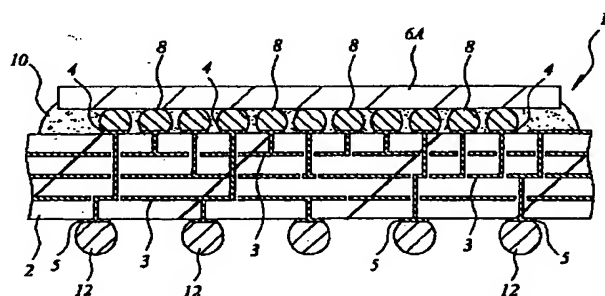
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 バンプ電極を介してチップを配線基板にフリップチップ実装する半導体装置において、端子数の多いチップに好適な実装技術を提供する。

【解決手段】 シリコンチップ6Aの主面には複数個の半田バンプ8がマトリクス状に配置されている。シリコンチップ6Aとモジュール基板2との隙間には異方性導電性樹脂10が充填されており、シリコンチップ6Aの半田バンプ8とモジュール基板2の電極パッド4とは、異方性導電性樹脂10中の金属粒子を介して電氣的に接続されている。

図 2



## 【特許請求の範囲】

【請求項1】 半田からなる複数の第1 バンプ電極がマトリクス状に形成された第1 半導体チップと、半田以外の導電材料からなる複数の第2 バンプ電極が形成された第2 半導体チップとが配線基板の主面上にフリップチップ実装された半導体装置であって、

前記第1 半導体チップと前記配線基板の主面との隙間には異方性導電性樹脂が充填され、前記複数の第1 バンプ電極と前記配線基板の主面に形成された複数の電極パッドとが前記異方性導電性樹脂中の金属粒子を介して電気的に接続され、前記第2 半導体チップと前記配線基板の主面との隙間には絶縁性の封止用樹脂が充填され、前記複数の第2 バンプ電極と前記配線基板の主面に形成された複数の電極パッドとが電気的に接続されている、ことを特徴とする半導体装置。

【請求項2】 請求項1 記載の半導体装置において、前記第2 バンプ電極は、Au バンプであることを特徴とする半導体装置。

【請求項3】 Au からなる複数の第1 バンプ電極がマトリクス状に形成された第1 半導体チップと、Au 以外の導電材料からなる複数の第2 バンプ電極が形成された第2 半導体チップとが配線基板の主面上にフリップチップ実装された半導体装置であって、

前記第1 半導体チップと前記配線基板の主面との隙間には異方性導電性樹脂が充填され、前記複数の第1 バンプ電極と前記配線基板の主面に形成された複数の電極パッドとが前記異方性導電性樹脂中の金属粒子を介して電気的に接続され、前記第2 半導体チップと前記配線基板の主面との隙間には絶縁性の封止用樹脂が充填され、前記複数の第2 バンプ電極と前記配線基板の主面に形成された複数の電極パッドとが電気的に接続されている、ことを特徴とする半導体装置。

【請求項4】 請求項3 記載の半導体装置において、前記第1 バンプ電極は、メッキにより形成されたAu バンプであることを特徴とする半導体装置。

【請求項5】 請求項1 または3 記載の半導体装置において、前記第1 バンプ電極の形状は、台形であることを特徴とする半導体装置。

【請求項6】 請求項5 記載の半導体装置において、前記台形の第1 バンプ電極は、2 層の金属層からなり、前記配線基板の電極パッドと接触する金属層の表面が粗面化されていることを特徴とする半導体装置。

【請求項7】 請求項1 または3 記載の半導体装置において、前記封止用樹脂は、液状の樹脂を加熱により硬化させたものであることを特徴とする半導体装置。

【請求項8】 請求項1 または3 記載の半導体装置において、前記封止用樹脂は、シート状に成形した樹脂を加熱により熔融、硬化させたものであることを特徴とする半導体装置。

【請求項9】 請求項1 または3 記載の半導体装置にお

いて、複数のボンディングパッドが形成された第3 半導体チップが前記配線基板の主面上に実装され、前記複数のボンディングパッドと前記配線基板の主面に形成された複数の電極パッドとがワイヤを介して電気的に接続されていることを特徴とする半導体装置。

【請求項10】 半田からなる複数の第1 バンプ電極がマトリクス状に形成された半導体チップが配線基板の主面上にフリップチップ実装された半導体装置であって、前記半導体チップと前記配線基板の主面との隙間には異方性導電性樹脂が充填され、前記複数の第1 バンプ電極と前記配線基板の主面に形成された複数の第1 電極パッドとが前記異方性導電性樹脂中の金属粒子を介して電気的に接続され、

前記配線基板の主面と対向する裏面には、前記配線基板の内部配線を介して前記複数の第1 電極パッドのいずれかと電気的に接続された複数の第2 電極パッドが形成され、前記複数の第2 電極パッドのそれぞれには半田からなる第2 バンプ電極が形成されている、ことを特徴とする半導体装置。

【請求項11】 半田からなる複数の第1 バンプ電極がマトリクス状に形成された半導体チップが配線基板の主面上にフリップチップ実装された半導体装置であって、前記半導体チップと前記配線基板の主面との隙間には絶縁性の封止用樹脂が充填され、前記複数の第1 バンプ電極と前記配線基板の主面に形成された複数の第1 電極パッドとが電気的に接続され、

前記配線基板の主面と対向する裏面には、前記配線基板の内部配線を介して前記複数の第1 電極パッドのいずれかと電気的に接続された複数の第2 電極パッドが形成され、前記複数の第2 電極パッドのそれぞれには半田からなる第2 バンプ電極が形成されている、ことを特徴とする半導体装置。

【請求項12】 請求項11 記載の半導体装置において、前記封止用樹脂は、液状の樹脂を加熱により硬化させたものであることを特徴とする半導体装置。

【請求項13】 請求項11 記載の半導体装置において、前記封止用樹脂は、シート状に成形した樹脂を加熱により熔融、硬化させたものであることを特徴とする半導体装置。

【請求項14】 請求項10～13 のいずれか一項に記載の半導体装置において、前記第1 バンプ電極の形状は、台形であることを特徴とする半導体装置。

【請求項15】 請求項14 記載の半導体装置において、前記台形の第1 バンプ電極は、2 層の金属層からなり、前記配線基板の第1 電極パッドと接触する金属層の表面が粗面化されていることを特徴とする半導体装置。

【請求項16】 請求項10～13 のいずれか一項に記載の半導体装置において、前記第1 バンプ電極の融点は330℃であり、前記第2 バンプ電極の融点は184℃であることを特徴とする半導体装置。

【請求項17】 請求項10～13のいずれか一項に記載の半導体装置において、前記第1バンプ電極を構成する半田はPb-Sn (Sn 1.7～1.8 wt %) であり、前記第2バンプ電極を構成する半田はPb-Sn (Pb 37 wt %) からなることを特徴とする半導体装置。

【請求項18】 以下の工程を有する半導体装置の製造方法;

(a) 主面に半田からなる複数のバンプ電極が形成された半導体チップと、主面に複数の電極パッドが形成された配線基板と、異方性導電性フィルムとを用意する工程、(b) 前記半導体チップの主面に形成された前記複数のバンプ電極と前記配線基板の主面に形成された前記複数の電極パッドとを対向して配置し、前記複数のバンプ電極と前記複数の電極パッドとの間に前記異方性導電性フィルムを介在させる工程、(c) 前記配線基板を加熱して前記異方性導電性フィルムを溶融、硬化させることにより、前記半導体チップと前記配線基板との隙間に異方性導電性樹脂を充填し、前記異方性導電性樹脂中の金属粒子を介して前記複数のバンプ電極のそれぞれと前記複数の電極パッドのそれぞれとを電気的に接続する工程。

【請求項19】 以下の工程を有する半導体装置の製造方法;

(a) 主面に半田からなる複数のバンプ電極が形成された複数の半導体チップと、主面に複数の電極パッドが形成された配線基板と、一枚の異方性導電性フィルムとを用意する工程、(b) 前記複数の半導体チップのそれぞれの主面に形成された前記複数のバンプ電極と前記配線基板の主面に形成された前記複数の電極パッドとを対向して配置し、前記複数のバンプ電極と前記複数の電極パッドとの間に前記一枚の異方性導電性フィルムを介在させる工程、(c) 前記配線基板を加熱して前記異方性導電性フィルムを溶融、硬化させることにより、前記複数の半導体チップのそれぞれと前記配線基板との隙間に異方性導電性樹脂を充填し、前記異方性導電性樹脂中の金属粒子を介して前記複数のバンプ電極のそれぞれと前記複数の電極パッドのそれぞれとを電気的に接続する工程。

【請求項20】 以下の工程を有する半導体装置の製造方法;

(a) 主面に半田からなる複数のバンプ電極が形成された複数の半導体チップと、主面に複数の電極パッドが形成された配線基板と、一枚の絶縁性樹脂シートとを用意する工程、(b) 前記複数の半導体チップのそれぞれの主面に形成された前記複数のバンプ電極と前記配線基板の主面に形成された前記複数の電極パッドとを対向して配置し、前記複数のバンプ電極と前記複数の電極パッドとの間に前記一枚の絶縁性樹脂シートを介在させる工程、(c) 前記配線基板を加熱して前記絶縁性樹脂シー

トを溶融、硬化させることにより、前記複数の半導体チップのそれぞれと前記配線基板との隙間に封止用樹脂を充填し、前記複数のバンプ電極のそれぞれと前記複数の電極パッドのそれぞれとを電気的に接続する工程。

【請求項21】 請求項18、19または20記載の半導体装置の製造方法において、前記配線基板を加熱する際、前記異方性導電性樹脂中のフィラーまたはバンプ電極表面の凹凸によりチップ上面に圧力を加えることでバンプ電極表面の自然酸化膜を除去することを特徴とする半導体装置の製造方法。

【請求項22】 請求項18、19または20記載の半導体装置の製造方法において、前記配線基板を加熱する温度は、前記バンプ電極を構成する前記半田の熔融温度以下であることを特徴とする半導体装置の製造方法。

【請求項23】 請求項19または20記載の半導体装置の製造方法において、前記複数の半導体チップは、前記配線基板の主面からの高さが異なる複数の半導体チップによって構成され、高さの低い半導体チップから順に前記配線基板の主面上に実装することを特徴とする半導体装置の製造方法。

【請求項24】 請求項18または19記載の半導体装置の製造方法において、前記電極パッドはCuからなり、前記配線基板を加熱する工程に先立って、その表面に防錆剤を塗布することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、バンプ電極を介して半導体チップを配線基板にフリップチップ実装する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】特開平11-17046号公報は、端子を有する半導体チップを異方性導電性接着剤によって搭載するための半導体チップ搭載用基板を開示している。この基板の表面には、半導体チップの端子と接続するための接続端子と、その接続端子から引き出された配線導体と、その配線導体を被覆する絶縁被覆とが形成されると共に、半導体チップを搭載する箇所には絶縁被覆が形成されない開口部が設けられており、この開口部の大きさが半導体チップよりも小さいことを特徴としている。

【0003】特開平11-17056号公報は、バンプを有する半導体チップを異方性導電性接着剤によって搭載するための半導体チップ搭載用基板を開示している。この基板の表面には、半導体チップの端子と接続するための接続端子と配線導体とが形成され、その配線導体は、後に搭載される半導体チップの外形線の箇所には配置されていないことを特徴としている。

【0004】

【発明が解決しようとする課題】本発明者らは、プリン

ト配線基板上に多数のLSIチップを実装したマルチチップモジュールの開発を進めている。このマルチチップモジュールは、LSIチップの高密度実装を実現するために、チップの主面に形成したAu(金)のバンパ電極(以下、単にAuバンパという)を配線基板の電極パッド(接続端子)に接続するフリップチップ実装方式を採用している。また、低価格で高い信頼性を実現するために、エポキシ樹脂からなる絶縁フィルム中にNi(ニッケル)などの金属粒子を分散させた、いわゆる異方性導電フィルム(Anisotropic Conductive Film; ACF)をチップとプリント配線基板との隙間に介在させ、Auバンパ電極パッド間の電気的接続、熱応力の緩和および接続部分の保護を同時に行っている。

【0005】異方性導電フィルムを介してチップとプリント配線基板とを接続するには、チップとほぼ同サイズにカットした異方性導電フィルムをプリント配線基板上に接着し、あらかじめワイヤボンダを使ってAuバンパを形成しておいたチップを異方性導電フィルム上にマウントした後、チップを上方から加圧することにより、フィルム中の金属粒子を介してチップのAuバンパと基板の電極パッドとを電気的に接続する。次に、この状態でプリント配線基板を180℃程度に加熱し、異方性導電フィルムを熔融、硬化させることによって、チップと基板との隙間をフィルムで充填する。

【0006】ところが、ワイヤボンダを使ってAuバンパを形成する方法は、チップの主面に強い衝撃(ボンディングダメージ)を与えるので、素子の破壊を避けるためには、Auバンパを素子形成領域の外側のみに配置しなければならない。そのため、この方法でバンパを形成する場合は、チップの端子数に制約が生じてしまうという問題がある。

【0007】本発明の目的は、バンパ電極を介してチップを配線基板にフリップチップ実装する半導体装置において、端子数の多いチップに好適な実装技術を提供することにある。

【0008】本発明の他の目的は、製造コストの増加を招くことなく、上記目的を達成することのできる技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】本発明の半導体装置は、半田からなる複数の第1バンパ電極がマトリクス状に形成された第1半導体チップと、半田以外の導電材料からなる複数の第2バンパ電極が形成された第2半導体チップとが配線基板の主面上にフリップチップ実装されており、前記第1半

体チップと前記配線基板の主面との隙間には異方性導電性樹脂が充填され、前記複数の第1バンパ電極と前記配線基板の主面に形成された複数の電極パッドとが前記異方性導電性樹脂中の金属粒子を介して電気的に接続され、前記第2半導体チップと前記配線基板の主面との隙間には絶縁性の封止用樹脂が充填され、前記複数の第2バンパ電極と前記配線基板の主面に形成された複数の電極パッドとが電気的に接続されているものである。

【0012】本発明の半導体装置は、Auからなる複数の第1バンパ電極がマトリクス状に形成された第1半導体チップと、Au以外の導電材料からなる複数の第2バンパ電極が形成された第2半導体チップとが配線基板の主面上にフリップチップ実装されており、前記第1半導体チップと前記配線基板の主面との隙間には異方性導電性樹脂が充填され、前記複数の第1バンパ電極と前記配線基板の主面に形成された複数の電極パッドとが前記異方性導電性樹脂中の金属粒子を介して電気的に接続され、前記第2半導体チップと前記配線基板の主面との隙間には絶縁性の封止用樹脂が充填され、前記複数の第2バンパ電極と前記配線基板の主面に形成された複数の電極パッドとが電気的に接続されているものである。

【0013】本発明の半導体装置は、半田からなる複数の第1バンパ電極がマトリクス状に形成された半導体チップが配線基板の主面上にフリップチップ実装されており、前記半導体チップと前記配線基板の主面との隙間には異方性導電性樹脂が充填され、前記複数の第1バンパ電極と前記配線基板の主面に形成された複数の第1電極パッドとが前記異方性導電性樹脂中の金属粒子を介して電気的に接続され、前記配線基板の主面と対向する裏面には、前記配線基板の内部配線を介して前記複数の第1電極パッドのいずれかと電気的に接続された複数の第2電極パッドが形成され、前記複数の第2電極パッドのそれぞれには半田からなる第2バンパ電極が形成されているものである。

【0014】本発明の半導体装置は、半田からなる複数の第1バンパ電極がマトリクス状に形成された半導体チップが配線基板の主面上にフリップチップ実装されており、前記半導体チップと前記配線基板の主面との隙間には絶縁性の封止用樹脂が充填され、前記複数の第1バンパ電極と前記配線基板の主面に形成された複数の第1電極パッドとが電気的に接続され、前記配線基板の主面と対向する裏面には、前記配線基板の内部配線を介して前記複数の第1電極パッドのいずれかと電気的に接続された複数の第2電極パッドが形成され、前記複数の第2電極パッドのそれぞれには半田からなる第2バンパ電極が形成されているものである。

【0015】本発明の半導体装置の製造方法は、以下の工程を有している。

(a) 主面に半田からなる複数のバンパ電極が形成された半導体チップと、主面に複数の電極パッドが形成され

た配線基板と、異方性導電性フィルムとを用意する工程、(b)前記半導体チップの主面に形成された前記複数のパンプ電極と前記配線基板の主面に形成された前記複数の電極パッドとを対向して配置し、前記複数のパンプ電極と前記複数の電極パッドとの間に前記異方性導電性フィルムを介在させる工程、(c)前記配線基板を加熱して前記異方性導電性フィルムを溶融、硬化させることにより、前記半導体チップと前記配線基板との隙間に異方性導電性樹脂を充填し、前記異方性導電性樹脂中の金属粒子を介して前記複数のパンプ電極のそれぞれと前記複数の電極パッドのそれぞれとを電気的に接続する工程。

【0016】本発明の半導体装置の製造方法は、以下の工程を有している。

(a)主面に半田からなる複数のパンプ電極が形成された複数の半導体チップと、主面に複数の電極パッドが形成された配線基板と、一枚の異方性導電性フィルムとを用意する工程、(b)前記複数の半導体チップのそれぞれの主面に形成された前記複数のパンプ電極と前記配線基板の主面に形成された前記複数の電極パッドとを対向して配置し、前記複数のパンプ電極と前記複数の電極パッドとの間に前記一枚の異方性導電性フィルムを介在させる工程、(c)前記配線基板を加熱して前記異方性導電性フィルムを溶融、硬化させることにより、前記複数の半導体チップのそれぞれと前記配線基板との隙間に異方性導電性樹脂を充填し、前記異方性導電性樹脂中の金属粒子を介して前記複数のパンプ電極のそれぞれと前記複数の電極パッドのそれぞれとを電気的に接続する工程。

【0017】本発明の半導体装置の製造方法は、以下の工程を有している。

(a)主面に半田からなる複数のパンプ電極が形成された複数の半導体チップと、主面に複数の電極パッドが形成された配線基板と、一枚の絶縁性樹脂シートとを用意する工程、(b)前記複数の半導体チップのそれぞれの主面に形成された前記複数のパンプ電極と前記配線基板の主面に形成された前記複数の電極パッドとを対向して配置し、前記複数のパンプ電極と前記複数の電極パッドとの間に前記一枚の絶縁性樹脂シートを介在させる工程、(c)前記配線基板を加熱して前記絶縁性樹脂シートを溶融、硬化させることにより、前記複数の半導体チップのそれぞれと前記配線基板との隙間に封止用樹脂を充填し、前記複数のパンプ電極のそれぞれと前記複数の電極パッドのそれぞれとを電気的に接続する工程。

【0018】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】(実施の形態1)図1は、本実施形態の半

導体装置の平面図、図2は、図1のA-A線に沿った断面図、図3は、図1のB-B線に沿った断面図である。

【0020】本実施形態の半導体装置は、高速マイクロプロセッサ(MPU:超小型演算処理装置)、メインメモリ、バッファメモリなどのLSIを搭載したマルチチップモジュール(Multi Chip Module; MCM)である。

【0021】このマルチチップモジュール1のモジュール基板2は、ガラス繊維含浸エポキシ(通称:ガラエポ)樹脂によって構成され、その内部には信号配線、電源配線およびグランド配線などを構成する複数の配線3が形成されている。また、モジュール基板2の主面(上面)および下面には、上記配線3に電気的に接続された複数の電極パッド4、5が形成されている。配線3および電極パッド4、5はCu(銅)からなる。

【0022】モジュール基板2の主面上には、MPUが形成された1個のシリコンチップ6A、メインメモリ(DRAM)が形成された複数のシリコンチップ6B、バッファが形成された複数のシリコンチップ6C、NAND6D、コンデンサや抵抗素子からなる複数の受動素子7が実装されている。シリコンチップ6A、6B、6CおよびNAND6Dのそれぞれは、モジュール基板2の主面上にフリップチップ実装され、受動素子7のそれぞれは、半田実装されている。モジュール基板2の下面の電極パッド5には、このモジュール基板2をマザーボードなどに実装するための外部接続端子を構成する半田パンプ12が接続されている。

【0023】上記シリコンチップ6A、6B、6Cは、それらの主面に形成されたLSIの種類に応じてパンプ電極(端子)の材質およびレイアウトが異なっている。すなわち、MPUが形成されたシリコンチップ6Aは、図2に示すように、その主面(素子形成面)に複数の半田パンプ8が形成され、これらの半田パンプ8を介してモジュール基板2の電極パッド4に電気的に接続されている。また、図4に示すように、これらの半田パンプ8は、シリコンチップ6Aの主面のほぼ全域にわたってマトリクス状に配置されている。

【0024】これに対し、DRAMが形成されたシリコンチップ6Bは、図3に示すように、その主面(素子形成面)に複数のAuパンプ9が形成され、これらのAuパンプ9を介してモジュール基板2の電極パッド4に電気的に接続されている。また、図5に示すように、これらのAuパンプ9は、シリコンチップ6Bの主面の一边に沿った方向であって、中央にほぼ一列に配置されている。図示は省略するが、バッファとして機能するシリコンチップ6Cは、シリコンチップ6Bと同様、その主面に形成された複数のAuパンプ9を介してモジュール基板2の電極パッド4に電気的に接続されている。また、これらのAuパンプ9は、シリコンチップ6Cの主面の周辺部(素子形成領域の外側)に沿って一列に配置されている。

【0025】図2および図3に示すように、シリコンチップ6 A、6 Bのそれぞれとモジュール基板2との隙間には、異方性導電性樹脂10が充填されている。図示は省略するが、シリコンチップ6 Cとモジュール基板2との隙間にも、異方性導電性樹脂10が充填されている。異方性導電性樹脂10は、エポキシ系の熱硬化性樹脂中にNi（ニッケル）などの金属粒子を分散させたものである。

【0026】図6に拡大して示すように、シリコンチップ6 Aの主面に形成された半田バンプ8とモジュール基板2の電極パッド4とは、この異方性導電性樹脂10中の金属粒子11を介して電氣的に接続されている。また、図7に拡大して示すように、シリコンチップ6 Bの主面に形成されたAuバンプ9とモジュール基板2の電極パッド4とは、異方性導電性樹脂10中の金属粒子11を介して電氣的に接続されている。図示は省略するが、シリコンチップ6 Cの主面に形成されたAuバンプ9とモジュール基板2の電極パッド4も、異方性導電性樹脂10中の金属粒子11を介して電氣的に接続されている。

【0027】シリコンチップ6 A、6 B、6 Cとモジュール基板2との間に充填された上記異方性導電性樹脂10は、半田バンプ8またはAuバンプ9と電極パッド4とを電氣的に接続する機能と併せて、接続部分を保護したり、熱応力を緩和したりする機能を備えている。

【0028】このように、本実施形態のマルチチップモジュール1は、モジュール基板2の主面上にフリップチップ実装したシリコンチップ6 A、6 B、6 Cのうち、シリコンチップ6 Aの端子を半田バンプ8で構成し、これらの半田バンプ8をチップの主面にマトリクス状に配置することによって端子数の多いチップを実現している。一方、端子数の少ないシリコンチップ6 B、6 Cの端子をAuバンプ9で構成し、これらのAuバンプ9をチップの主面の周辺部または中央部に一列に配置する。

【0029】上記のように構成されたマルチチップモジュール1を組み立てるには、まずモジュール基板2とその主面に実装する能動素子（シリコンチップ6 A、6 B、6 Cなど）および受動素子（コンデンサ、抵抗素子）7とを用意する。

【0030】シリコンチップ6 Aの主面には、周知のスクリーン印刷法や半田ボール供給法によって半田バンプ8を形成する（図4参照）。これらのバンプ形成方法は、シリコンチップ6 Aの主面に強い衝撃を与えないので、素子形成領域を含めた主面全域に半田バンプ8を配置することができる。半田バンプ8は、例えばSn（錫）-Ag（銀）合金半田（融点=230℃）、Sn-Ag-Cu合金半田（融点=225℃）、Au-Sn合金半田（融点=〜300℃）、1.7%のSnを含むPb（鉛）合金半田（融点=330℃）など、後述する異方性導電性フィルムの溶融温度よりも高い融点を有す

る半田材料で構成する。

【0031】一方、シリコンチップ6 B、6 Cの主面には、Auワイヤを使った周知のワイヤボンディング法によってAuバンプ9を形成する。このバンプ形成方法は、シリコンチップ6 B、6 Cの主面に強い衝撃（ボンディングダメージ）を与えるので、素子の破壊を避けるために、Auバンプ9を素子形成領域外のみ配置する。

【0032】図8は、モジュール基板2の主面の平面図である。なお、同図にはシリコンチップ6 A、6 B、6 Cの半田バンプ8またはAuバンプ9が接続される電極パッド4のみを示し、受動素子が接続される電極パッド4や電極パッド4同士を接続する配線3の図示は省略してある。

【0033】電極パッド4（および電極パッド5）は、Cuからなる。Cuの表面には、この種の配線基板において通常行われるNiおよびAuの2層メッキ処理が施されるが、NiおよびAuメッキが施されない場合は、それに代えて表面の酸化を防止するための防錆剤（図示せず）がコーティングされている。防錆剤は、例えばベンゾイミダゾール（Benzimidazole）からなる。

【0034】半田バンプ8が形成されたシリコンチップ6 Aをモジュール基板2の主面に実装するには、まず図9に示すように、モジュール基板2の電極パッド4上に異方性導電性フィルム10aをマウントする。異方性導電性フィルム10aは、Niなどの金属粒子を分散させた未硬化のエポキシ系樹脂をフィルム状に加工したもので、これをシリコンチップ6 Aと同程度のサイズに裁断し、加熱によって電極パッド4上に貼り付ける。

【0035】次に、図10に示すように、異方性導電性フィルム10aの上面にシリコンチップ6 Aをマウントし、半田バンプ8とそれに対応する電極パッド4との位置合わせを行う。

【0036】次に、上方から加圧ツール（図示せず）を押し付けることによってシリコンチップ6 Aの上面に10〜30kg/cm<sup>2</sup>程度の圧力を加え、この状態でモジュール基板2を180℃程度に加熱することにより、異方性導電性フィルム10aを一旦溶融させた後、硬化させる。これにより、図11に示すように、シリコンチップ6 Aとモジュール基板2との隙間に異方性導電性樹脂10が充填される。またこのとき、異方性導電性樹脂10中の金属粒子11が半田バンプ8の表面の自然酸化膜と電極パッド4の表面の防錆剤とを突き破り、この金属粒子11を介して半田バンプ8と電極パッド4とが電氣的に接続される（図6参照）。

【0037】このように、本実施形態では、半田バンプ8をリフローさせずに電極パッド4に接続する。このため、半田バンプ8をリフローする場合に比べて電極パッド4の形状の自由度が高くなる。すなわち、半田バンプ8をリフローする場合には、電極パッド4の縦方向と横



方向の寸法をほぼ等しくする必要があるが、半田バンプ8をリフローしない場合は、このような制約がない。従って、例えば電極パッド4の配列方向の寸法を縮小し、これに直交する方向の寸法を拡大することにより、半田バンプ8と電極パッド4との接触面積を低減させることなく、電極パッド4のピッチを縮小することができる。

【0038】また、半田バンプ8をリフローしない場合は、モジュール基板2が熱変形するような高温で溶融する半田材料を使用することもできるので、半田バンプ8を構成する材料の選択の自由度が高くなる。

【0039】また、本実施形態では、電極パッド4をCuのみで構成し、その表面にメッキ層を形成しないので電極パッド4の厚さが薄くなる。そのため、半田バンプ8およびAuバンプ9を接続する電極パッド4の下部の基板材料が沈み込むため、LSI直下の樹脂厚さが薄くなり、接続寿命が改善および向上する。

【0040】一方、Auバンプ9が形成されたシリコンチップ6Bをモジュール基板2の主面に実装するには、まず図12に示すように、モジュール基板2の電極パッド4上にシリコンチップ6Bと同程度のサイズに裁断した異方性導電性フィルム10bを貼り付けた後、その上面にシリコンチップ6Bをマウントし、Auバンプ9とそれに対応する電極パッド4との位置合わせを行う。

【0041】次に、上方から加圧ツール(図示せず)を押し付けることによってシリコンチップ6Bの上面に10~30kg/cm<sup>2</sup>程度の圧力を加え、この状態でモジュール基板2を180℃程度に加熱することにより、異方性導電性フィルム10を溶融、硬化させる。これにより、図13に示すように、シリコンチップ6Bとモジュール基板2との隙間に異方性導電性樹脂10が充填される。またこのとき、異方性導電性樹脂10中の金属粒子11が電極パッド4の表面の防錆剤を突き破り、この金属粒子11を介してAuバンプ9と電極パッド4とが電気的に接続される(図7参照)。

【0042】なお、本実施形態のマルチチップモジュール1は、モジュール基板2に4個のシリコンチップ6Bを実装する(図1参照)ので、実際の製造工程では、モジュール基板2の電極パッド4上に異方性導電性フィルム10bを貼り付けた後、その上面に4個のシリコンチップ6Bをマウントし、これらのシリコンチップ6Bに上方から同時に加圧ツールを押し付けてモジュール基板2を加熱する。この場合、異方性導電性フィルム10bは、図14に示すように、シリコンチップ6B約4個分のサイズに裁断したものを使用する。

【0043】また、モジュール基板2の主面からシリコンチップ6Bの上面までの高さがシリコンチップ6Aのそれと同じ場合には、1個のシリコンチップ6Aと4個のシリコンチップ6Bとを同時に一括して実装することができる。この場合、異方性導電性フィルム10bは、図15に示すように、シリコンチップ6Aの実装領域と

シリコンチップ6Bの実装領域とを覆う程度のサイズに裁断したものを使用する。他方、シリコンチップ6A、6Bの高さが異なる場合には、低い方のチップから順に実装することにより、チップに加圧ツールを押し付ける際、先に実装したチップに加圧ツールが接触する不具合を避けることができる。

【0044】図示は省略するが、シリコンチップ6CおよびNAND6Dは、前記シリコンチップ6Bをモジュール基板2に実装した方法と同じ方法で6個を一括でモジュール基板2に実装する。

【0045】次に、周知の半田リフロー法によって受動素子7をモジュール基板2の主面上に実装する。受動素子7は、シリコンチップ6A、6B、6Cを実装する前に実装してもよい。その後、モジュール基板2の裏面の電極パッド5に半田バンプ12を接続し、続いて半田バンプ12をリフローすることにより、前記図1に示したマルチチップモジュール1が完成する。半田バンプ12は、例えば37%Pb(鉛)-64%Sn(錫)共晶合金半田(融点=183℃)など、モジュール基板2の主面側の半田バンプ8より低い融点を有する半田材料で構成する。モジュール基板2の裏面の電極パッド5をCuで構成し、その表面に防錆剤をコーティングした場合、この防錆剤がフラックスなどの溶剤と反応し、半田バンプ8と電極パッド5とが電気的に接続される。

【0046】シリコンチップ6Aの主面には、球状の半田バンプ8に代えて、例えば図16に示すような台形の断面形状を有する半田バンプ13を形成してもよい。このような形状の半田バンプ13は、例えばシリコンチップ6Aのボンディングパッドの表面にスパッタリング法で半田材料を堆積することによって形成することができる。この場合、バンプ先端が凹凸なため電極パッド4との接触面を粗面化することができる。この台形状半田バンプ13は、Pb膜13aを台形状にスパッタしたあと、Sn膜13bをその先端にスパッタすることによって形成できる。

【0047】電極パッド4との接触面が粗面化された半田バンプ13を使用した場合には、異方性導電性樹脂10中の金属粒子11が半田バンプ13の表面の自然酸化膜と電極パッド4の表面の防錆剤とを突き破り易くなるため、半田バンプ13と電極パッド4との接続信頼性を向上させることができる。

【0048】シリコンチップ6Aの主面には、上記した球状の半田バンプ8や台形の半田バンプ13に代えて、メッキ法によってAuバンプ14を形成してもよい。このバンプ形成方法は、シリコンチップ6Aの主面に強い衝撃を与えないので、半田バンプ8、13と同様、シリコンチップ6Aの素子形成領域を含めた主面全域に端子を配置することができる。

【0049】図17は、シリコンチップ6Aの主面に形成したAuバンプ14をモジュール基板2の電極パッド

10

20

30

40

50

4に接続した状態を示す断面図である。半田バンプ8、13を使用した場合と同様、Auバンプ14と電極パッド4とは、シリコンチップ6Aとモジュール基板2との隙間に充填された異方性導電性樹脂10中の金属粒子11を介して電気的に接続される。

【0050】(実施の形態2)前記実施の形態1では、シリコンチップ6A、6B、6Cとモジュール基板2との隙間に異方性導電性樹脂10を充填したが、本実施形態では、シリコンチップ6A、6B、6CおよびNAND6Dとモジュール基板2との隙間に絶縁性のアンダーフィル樹脂(封止樹脂)15を充填する。

【0051】図18は、シリコンチップ6Aの主面に形成した半田バンプ8をモジュール基板2の電極パッド4に接続し、シリコンチップ6Aとモジュール基板2との隙間にアンダーフィル樹脂15を充填した状態を示す断面図である。

【0052】上記アンダーフィル樹脂15は、例えばシリカフィラーが含有されたエポキシ系の熱硬化性樹脂によって構成される。シリコンチップ6Aとモジュール基板2との隙間にアンダーフィル樹脂15を充填するには、まずシリコンチップ6Aの半田バンプ8とモジュール基板2の電極パッド4とを電気的に接続する。半田表面の酸化膜は、樹脂中のフィラーにより酸化膜が破れる。破れた酸化膜から酸化していない半田と樹脂中のフィラーにより防錆材を破った酸化していないCu表面とが樹脂の硬化収縮力により接続が電気的に保持される。

【0053】続いてディスペンサなどを使って液状のアンダーフィル樹脂15をシリコンチップ6Aの外周に供給した後、アンダーフィル樹脂15の流動性を高めるためにモジュール基板2を70℃程度に加温する。これにより、アンダーフィル樹脂15が毛細管現象によってシリコンチップ6Aとモジュール基板2との隙間に浸入する。その後、モジュール基板2を150℃程度で熱処理することによって、アンダーフィル樹脂15を硬化させる。シリコンチップ6B、6Cとモジュール基板2との隙間にアンダーフィル樹脂15を充填する方法も上記と同じである。

【0054】シリコンチップ6A、6B、6CおよびNAND6Dとモジュール基板2との隙間に充填するアンダーフィル樹脂15は、液状のタイプに代え、未硬化のエポキシ系樹脂をフィルム状に加工したものを使用することもできる。この場合は、チップサイズに裁断したフィルムを半田バンプ8(またはAuバンプ9)と電極パッド4との間に介在させ、この状態でモジュール基板2を150℃程度に加熱することによってフィルムを溶解、硬化させればよい。

【0055】前記実施の形態1、2では、シリコンチップ6A、6B、6CおよびNAND6Dとモジュール基板2との隙間に異方性導電性樹脂10を充填したが、本実施形態では、シリコンチップ6A、6B、6Cとモジ

ジュール基板2との隙間に絶縁性のアンダーフィル樹脂(封止樹脂)15を充填する。

【0056】図19に示すように、モジュール基板2の主面上には、上記シリコンチップ6A、6B、6Cの他、ワイヤボンディング方式によって他のシリコンチップDを実装してもよい。この場合、モジュール基板2の電極パッド4とシリコンチップDとをワイヤ16で接続する作業は、異方性導電性樹脂10またはアンダーフィル樹脂15を加熱溶解してシリコンチップ6A、6B、6CおよびNAND6Dとモジュール基板2との隙間に充填する作業が終了した後に行うことが好ましい。

【0057】(実施の形態3)図20は、本実施形態の半導体装置の断面図である。この半導体装置は、配線基板17の主面上に一個のシリコンチップEをフリップチップ実装したBGA(Ball Grid Array)構造のシングルチップパッケージである。

【0058】この半導体装置の配線基板17は、ガラス繊維含浸エポキシ樹脂によって構成され、その内部には信号配線、電源配線およびグランド配線などを構成する複数層の配線3が形成されている。また、配線基板17の主面(上面)および下面には、上記配線3に電気的に接続された複数個の電極パッド4、5が形成されている。配線3および電極パッド4、5はCuからなる。

【0059】配線基板17の主面上には、MPUが形成された1個のシリコンチップ6Eが実装されている。このシリコンチップ6Eは、その主面(素子形成面)に複数個の半田バンプ8が形成され、これらの半田バンプ8を介して配線基板17の電極パッド4に電気的に接続されている。これらの半田バンプ8は、シリコンチップ6Eの主面のほぼ全域にわたってマトリクス状に配置されている。

【0060】シリコンチップ6Eと配線基板17との隙間には、異方性導電性樹脂10が充填されており、シリコンチップ6Eの半田バンプ8と配線基板17の電極パッド4とは、この異方性導電性樹脂10中の金属粒子11を介して電気的に接続されている。

【0061】配線基板17の主面上にシリコンチップ6Eを実装する方法は、前述したシリコンチップ6Aをモジュール基板2の主面上に実装する方法と同じである。また、シリコンチップ6Eの主面には、球状の半田バンプ8に代えて、前述した台形の半田バンプを形成したり、メッキ法によってAuバンプを形成したりしてもよい。これらのバンプ形成方法は、シリコンチップ6Eの主面に強い衝撃を与えないので、素子形成領域を含めた主面全域に端子を配置することができる。

【0062】シリコンチップ6Eの主面の半田バンプ8は、その一部を端子として機能しない放熱用のダミーバンプとして構成することもできる。シリコンチップ6Eの主面に放熱用のダミーバンプを形成することにより、シリコンチップ6Eで発生した熱の一部をダミーバンプ

を通じて配線基板17側に放散させることができる。

【0063】以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0064】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0065】本発明によれば、半田バンプをマトリクス状に形成したチップを異方性導電性樹脂を介して配線基板にフリップチップ実装することができるので、端子数の多いチップを高密度に実装したマルチチップモジュールやシングルチップパッケージを安価に提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置の平面図である。

【図2】図1のA-A線に沿った断面図である。

【図3】図1のB-B線に沿った断面図である。

【図4】MPUが形成されたシリコンチップの主面の平面図である。

【図5】DRAMが形成されたシリコンチップの主面の平面図である。

【図6】図2の要部拡大断面図である。

【図7】図3の要部拡大断面図である。

【図8】モジュール基板の主面の平面図である。

【図9】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図10】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図11】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図12】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図13】本発明の一実施形態である半導体装置の製造

方法を示す断面図である。

【図14】本発明の一実施形態である半導体装置の製造方法を示す平面図である。

【図15】本発明の一実施形態である半導体装置の製造方法を示す平面図である。

【図16】シリコンチップに形成された半田バンプの形状を示す拡大断面図である。

【図17】本発明の他の実施形態である半導体装置の要部断面図である。

10 【図18】本発明の他の実施形態である半導体装置の要部断面図である。

【図19】本発明の他の実施形態である半導体装置の平面図である。

【図20】本発明の他の実施形態である半導体装置の断面図である。

【符号の説明】

1 マルチチップモジュール

2 モジュール基板

3 配線

20 4 電極パッド

5 電極パッド

6A~6E シリコンチップ

7 受動素子

8 半田バンプ

9 Auバンプ

10 異方性導電性樹脂

10a、10b 異方性導電性フィルム

11 金属粒子

12 半田バンプ(外部接続端子)

30 13 半田バンプ

13a Pb膜

13b Sn膜

14 ~Auバンプ

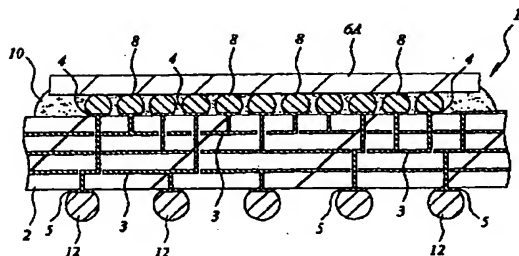
15 アンダーフィル樹脂(封止樹脂)

16 ワイヤ

17 配線基板

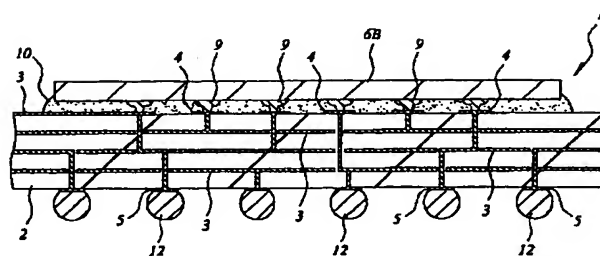
【図2】

図2



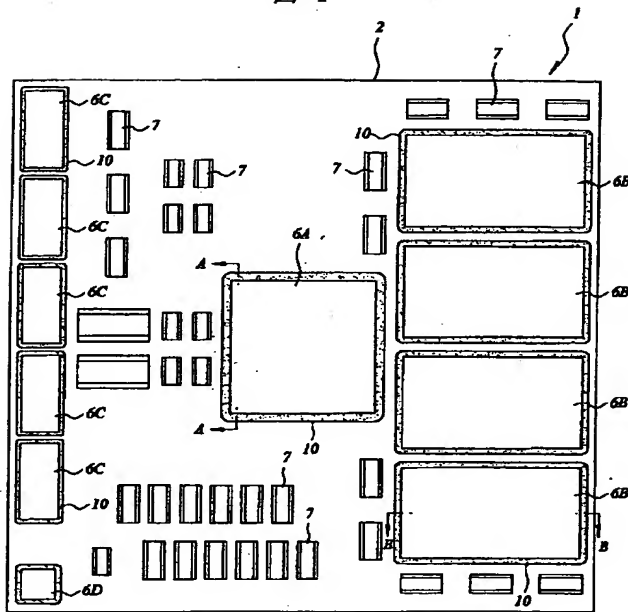
【図3】

図3



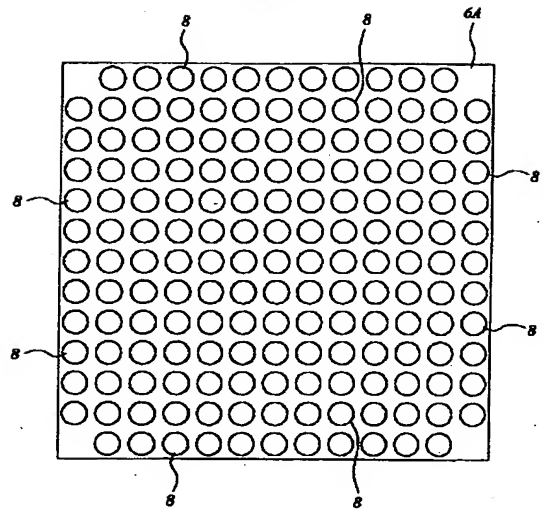
【 図1 】

図 1



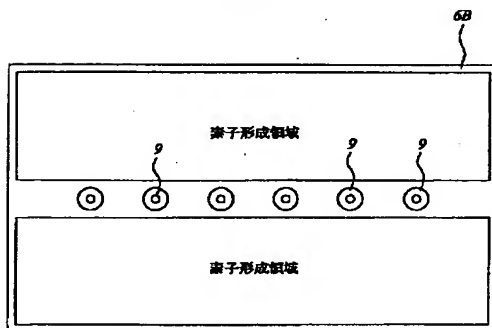
【 図4 】

図 4



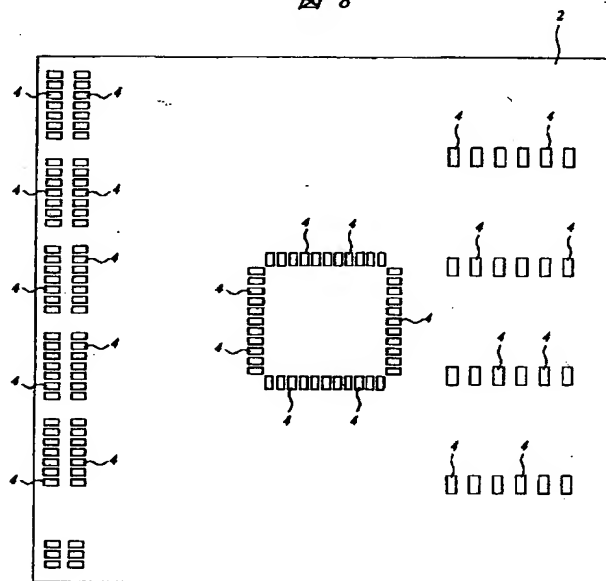
【 図5 】

図 5

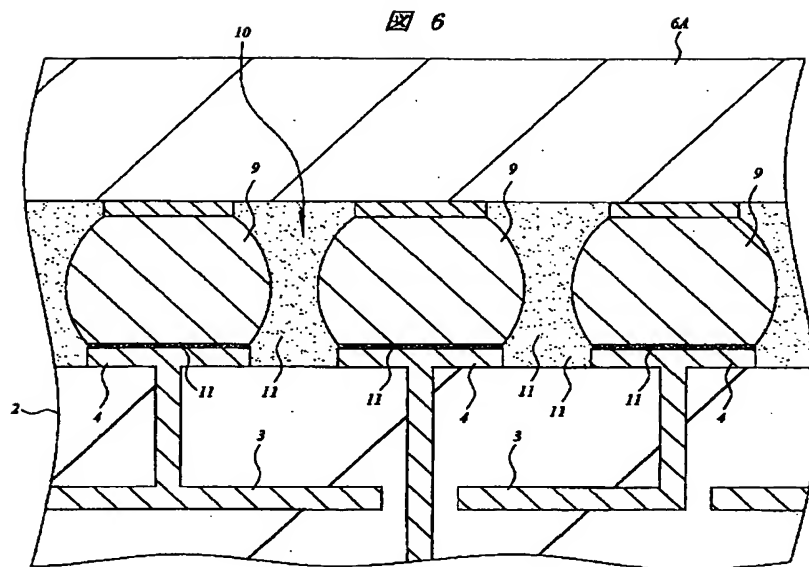


【 図8 】

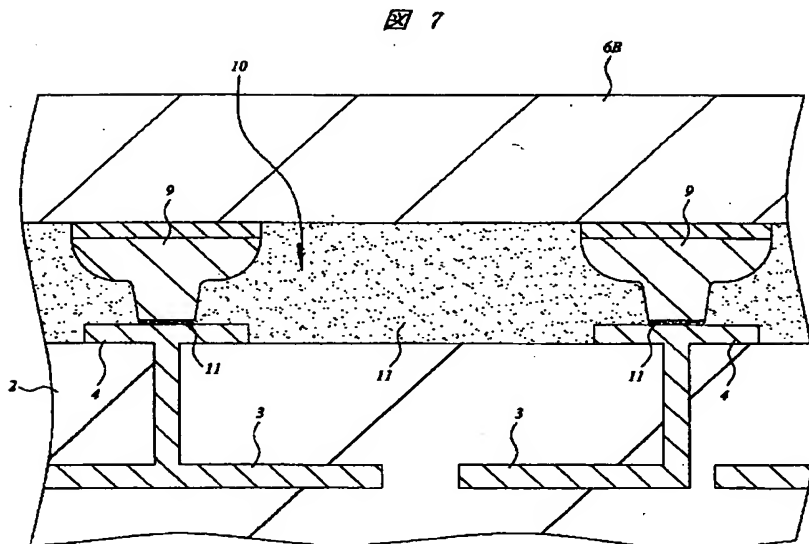
図 8



【 図6 】

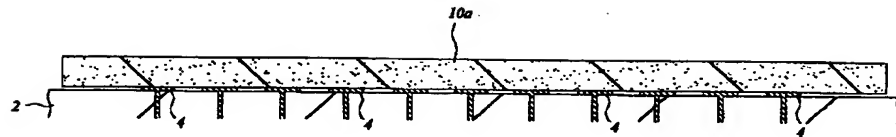


【 図7 】



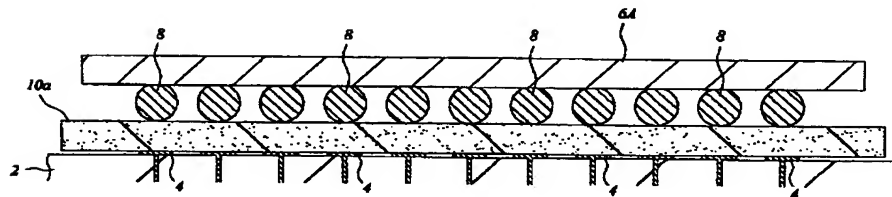
【 図9 】

図 9



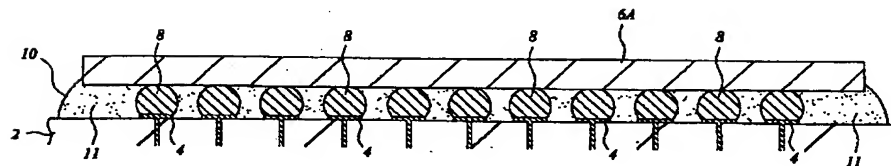
【 図10 】

図 10



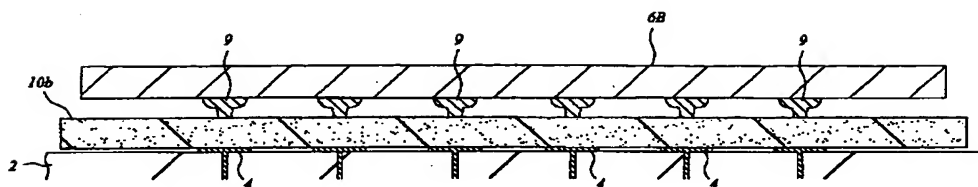
【 図11 】

図 11



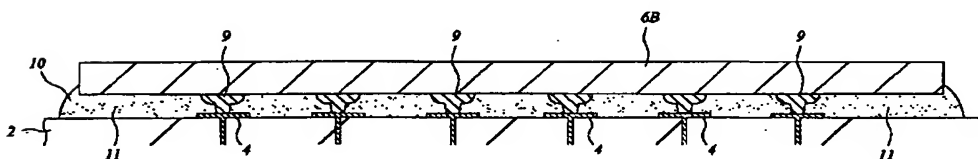
【 図 1 2 】

図 12



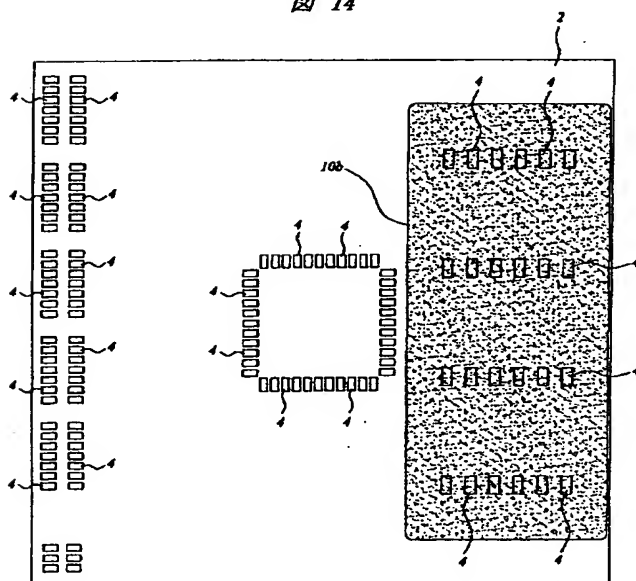
【 図 1 3 】

図 13



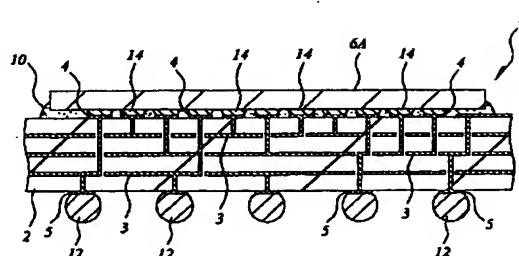
【 図 1 4 】

図 14



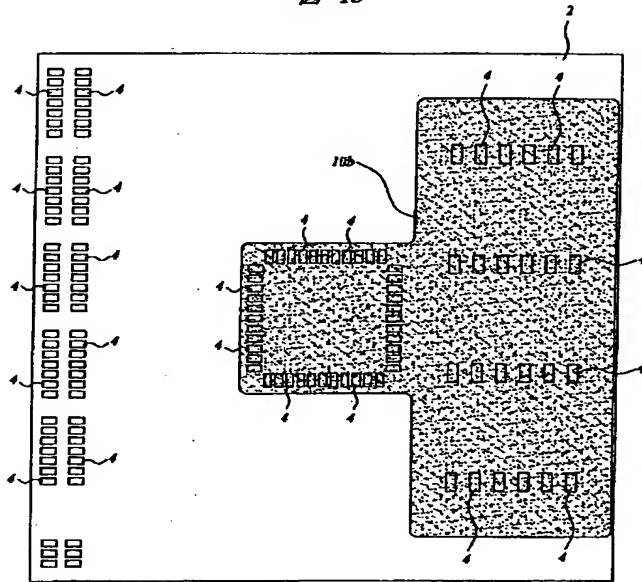
【 図 1 7 】

図 17



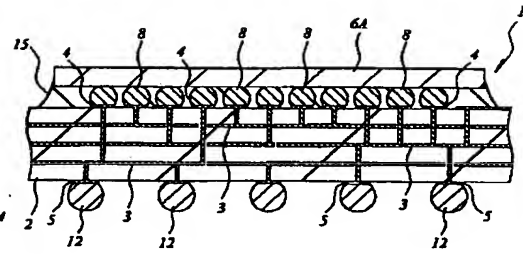
【 図15 】

図 15



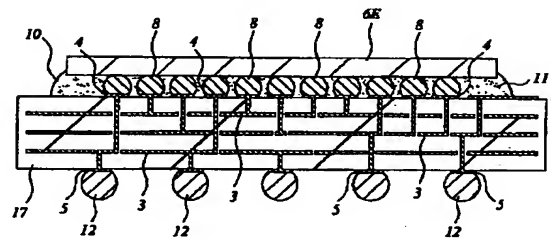
【 図18 】

図 18



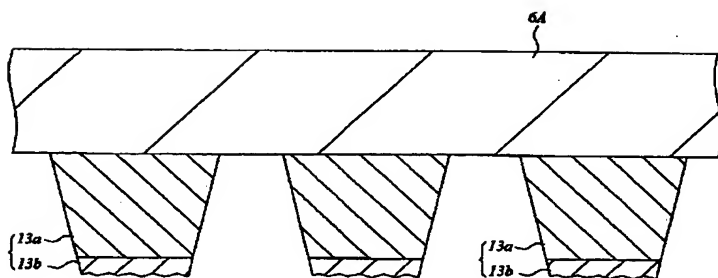
【 図20 】

図 20



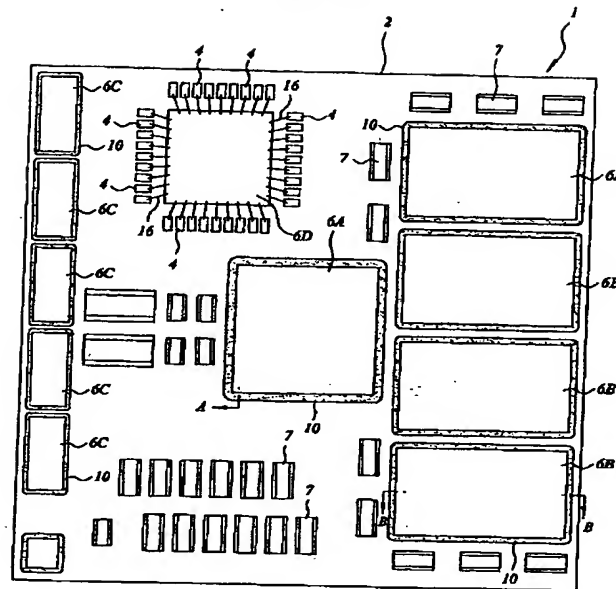
【 図16 】

図 16





**19**



RR19

**THIS PAGE BLANK (USPTO)**